



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05082782

(43)Date of publication of application: 02.04.1993

(51)Int.Cl.

H01L 29/784

(21)Application number: 03240846

(71)Applicant:

NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing: 20.09.1991

(72)Inventor:

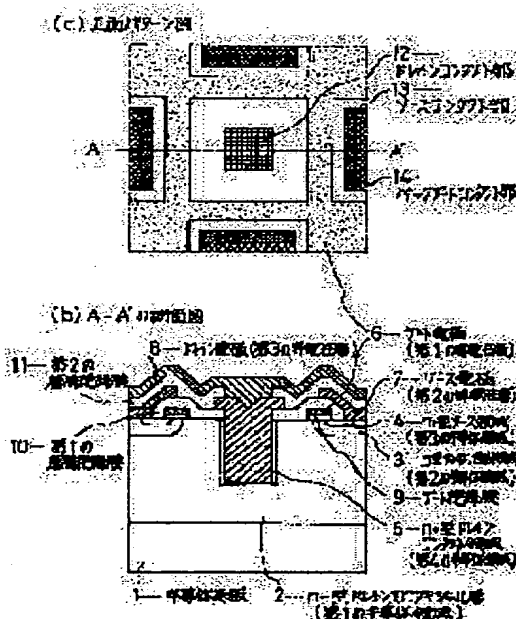
YAMASHITA NOBUHIKO
EDOWARUDO SOBURINO BERA
YANAI TOSHIAKI

(54) MOSFET

(57)Abstract:

PURPOSE: To provide an MOSFET of trench drain structure wherein a channel density is increased, a resistance of a source/drain electrode is reduced and a gate resistance is reduced.

CONSTITUTION: A plurality of unit cell structures having formation of a second semiconductor region 3 as a channel formation region and a third semiconductor region 4 as a source region are provided in a periphery along a configuration of a groove wherein a drain contact region 5 is formed at a center on a surface of a first semiconductor region 2 on a semiconductor substrate 1.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82782

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. ⁴	国際記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		8225-4M	H 0 1 L 29/ 78	3 0 1 S

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-240848

(22)出願日 平成3年(1991)9月20日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 山下 敏彦

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 エドワルド ソプリノ ペラ

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72)発明者 谷内 利男

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74)代理人 弁理士 中村 純之助

(54)【発明の名称】 MOSFET

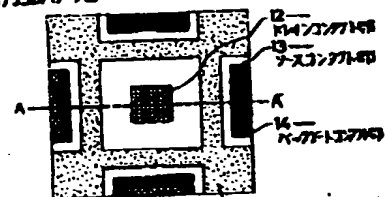
(57)【要約】

【目的】 チャネル密度を大きくしてソース・ドレイン電極の抵抗を小さくするとともにゲート抵抗を低減するトレンチドレイン構造のMOSFETを提供する。

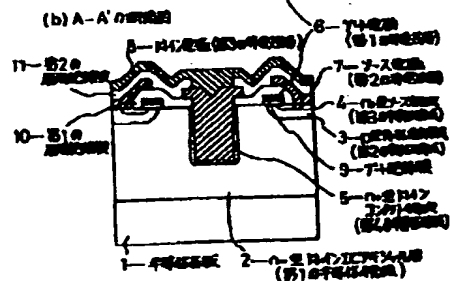
【構成】 半導体基板1上の第1の半導体領域2の表面の面上で、ドレインコンタクト領域5が形成される溝を中央にして、縦溝の形状に沿う周辺にチャネル形成領域としての第2の半導体領域3とソース領域としての第3の半導体領域4の形成を有する単位セル構造を複数個備える。

本発明の第1の実施例に係るMOSFETのセルの平面図(図1)

(a)上面パターン



(b) A-A'の断面図



【特許請求の範囲】

【請求項1】 任意の導電型の半導体基板と、該基板上に形成されたドレイン領域としての第1の導電型の第1の半導体領域と、該第1の半導体領域上の表面に、層間絶縁膜で相互に絶縁された、ゲート電極としての第1の導電性層と、ソース電極としての第2の導電性層と、ドレイン電極としての第3の導電性層とを有し、

上記ゲート電極としての第1の導電性層は、上記第1の半導体領域内の上記表面部位に形成された、第1の導電型とは逆の第2の導電型からなるチャネル形成領域としての第2の半導体領域の表面にゲート絶縁膜を介して形成され、

上記ソース電極としての第2の導電性層は、上記第2の半導体領域と、該領域内の上部に形成された、ソース領域としての第1の導電型の第3の半導体領域とに接して形成され、

さらに上記ドレイン電極としての第3の導電性層は、ドレインコンタクト領域としての第1の導電型の第4の半導体領域に接して形成され、かつ、上記ドレインコンタクト領域は、上記第2と第3の半導体領域とは別の部位に上記第1の半導体領域内に表面から深さ方向に向けて設けた溝の内部に突入した形状を備える構成を有するMOSFETにおいて、

上記第1の半導体領域の表面の面上で、上記ドレインコンタクト領域が形成される溝を中央にして、該溝の形状に沿う周辺に上記第2の半導体領域と第3の半導体領域の上記形成を有する単位セル構造を複数個備えることを特徴とするMOSFET。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、パワー用の横型MOSFETの改良に関する。

【0002】

【従来の技術】 横型パワーMOSFETは、ドレイン耐圧を得るためのドレイン領域を半導体表面に沿って横方向に取るため、縦型パワーMOSFETと比較してチャネル密度が低く、オン抵抗が大きいという欠点があった。それを解決するため、ドレインコンタクト領域をトレンチを形成して深さ方向に取ることによって、電界集中を緩和し、同じドレイン耐圧を得るためのドレイン領域の長さを低減してチャネル密度を向上し、さらに電流が半導体内部に広がって流れるようになって、オン抵抗低減を図った構造がある。（特願平3-158341号）

しかし、半導体表面に3種の電極が必要なため、素子の平面構造として、従来の横型パワーMOSFETと同様なストライプ構造を用いると、例えば図3に示した構造となる。1は半導体基板、2は第1の半導体領域としてのドレインn-型エピタキシャル層、3は第2の半導体領域としてのp型チャネル形成領域、4は第3の半導体領域としてのp型チャネル形成領域、4は第3の半導体

領域としてのn+型ソース領域、5は第4の半導体領域としてのn+型ドレインコンタクト領域、6は第1の導電性層としてのゲート電極、7は第2の導電性層としてのソース電極、8は第3の導電性層としてのドレイン電極、9はゲート絶縁膜、10は第1の層間絶縁膜である。

【0003】

【発明が解決しようとする課題】 図3のMOSFET構造では、ソース・ドレイン電極がくし形のパターンとなるので、配線電極のため素子として使われない部分が多くオン抵抗が大きくなること、またゲート電極が細長くなりゲート抵抗も大きくなることなどの問題がある。本発明の目的は、このような欠点を克服し、チャネル密度を大きくしてソース・ドレイン電極の抵抗を小さくするとともにゲート抵抗を低減するトレンチドレイン構造のMOSFETを提供することにある。

【0004】

【課題を解決するための手段】 上記の目的を達成するため、本発明では、例えば図1に示すように、半導体基板1上の第1の半導体領域2の表面の面上で、ドレインコンタクト領域5が形成される溝を中央にして、該溝の形状に沿う周辺にチャネル形成領域としての第2の半導体領域3とソース領域としての第3の半導体領域4の形成を有する単位セル構造を複数個備えることとする。

【0005】

【作用】 本発明で、第1の半導体領域の表面の面上で、ドレインコンタクト領域が形成される溝を中央にして、該溝の形状に沿う周辺に第2の半導体領域と第3の半導体領域の形成を有する構造を備えることとすることにより、ドレインコンタクト領域をチャネルが取り囲むような形状となる。このことが素子として使われない部分が多い従来例に比べて、本発明ではこのような部分を小さくすることが容易になる。さらに従来例よりも本発明ではドレインコンタクト領域を小さくできることと合わせて、本発明によれば、後述において詳述するように、単位の素子構造面積当たりのチャネル幅すなわちチャネル密度が従来より大きくなり、ソース・ドレイン電極の抵抗を小さくすることが可能になる。また本発明ではゲート電極に流れる電流が広がりをもって面状に流れるようにできるので従来よりゲート抵抗を低減することも可能になる。

【0006】

【実施例】 図1は本発明の第1の実施例を示した構造図である。1セルの、ゲート電極、ドレインコンタクト部、ソースコンタクト部、バックゲートコンタクト部の上面パターンと、断面構造図を示す。1は半導体基板、2は第1の半導体領域としてのドレインn-型エピタキシャル層、3は第2の半導体領域としてのp型チャネル形成領域、4は第3の半導体領域としてのn+型ソース領域、5は第4の半導体領域としてのn+型ドレインコ

ンタクト領域、6は第1の導電性層としてのゲート電極、7は第2の導電性層としてのソース電極、8は第3の導電性層としてのドレイン電極、9はゲート絶縁膜、10は第1の層間絶縁膜、11は第2の層間絶縁膜、12はドレインコンタクト部、13はソースコンタクト部、14はバックゲートコンタクト部である。

【0007】上面から見て、ドレインのトレンチを囲むようにゲート電極、p型チャネル形成領域、n+型ソース領域が形成される。トレンチを四角形に形成すると、図のように4辺にそれぞれソースコンタクト部、バックゲートコンタクト部が形成される。ゲート電極は、周囲のセルと4隅で交互に接続される。断面構造図に示したように、第2の導電性層によってソース電極が形成され、さらにドレインのトレンチが埋められる。ソース電極は、ドレイン部分に四角く穴があいたメッシュ状になる。その導電性層の上に、第2の層間絶縁膜が形成され、ドレインコンタクト部にコンタクトホールを開けて、第3の導電性層としてのドレイン電極が形成される。

【0008】図2に、4セル分の上面パターン図を示す。図のように、各セルのゲート電極は相互に接続され、メッシュ状となっている。実際の素子では、仕様に従って、必要なセル数を形成すれば良い。

【0009】本発明による構造を用いることによって、従来のストライプ構造を用いる場合よりも、チャネル密度を向上させることができる。図4に示すように、ゲート電極の長さを L_{ch} 、ソース領域に必要な幅を LS 、ドレイン領域に必要な長さを LD として、図1の構造の場合と、従来のストライプ構造の場合のチャネル密度（単位の素子構造面積当たりのチャネル幅）を計算すると、本発明の構造においては、1セルの面積 S は、 $S = (LD + 2L_{ch} + LS)^2$ 、1セルのチャネル幅は、 $4LD$ 、よってチャネル密度 D_{ch} は、

【0010】

【数1】

$$D_{ch} = \frac{4LD}{S} = \frac{4LD}{(LD + 2L_{ch} + LS)^2}$$

【0011】従来のストライプ構造においては、ストライプ長さ L' あたり、

$$S = L' (LD + 2L_{ch} + LS)$$

チャネル幅は $2L'$ 、よって

【0012】

【数2】

$$D_{ch} = \frac{2}{LD + 2L_{ch} + LS}$$

【0013】 L_{ch} 、 LS は、ほぼ製作プロセスの加工寸法で決定される値で、 LD はトレンチの加工精度ととも

に素子耐圧によって決定される値である。よって、 L_{ch} 、 LS を一定とし、 LD を変数として D_{ch} の変化を表したグラフを図5に示す。この図では、 $L_{ch} = 2\mu m$ 、 $LS = 6\mu m$ とした。図から明らかなように、この条件の場合、 LD が $10\mu m$ 以上では、本発明による構造の方が、従来のストライプ構造よりもチャネル密度を大きく取れることがわかる。チャネル密度が大きいくほど、チャネル部分での抵抗を低減することができる。

【0014】図6に、本発明の第2の実施例を示す。1セルを六角形の形状とした場合である。4角形の場合よりも、セルの頂点部でのチャネルが形成されないデッドスペースが小さくなるので、チャネル密度をさらに向上させることができる。なお、以上の実施例は、nチャネル型MOSFETについて述べたが、pチャネル型MOSFETについても、同様に実施し、効果をあげることができる。

【0015】

【発明の効果】以上説明したように、本発明は、従来のストライプ状の平面パターンよりもチャネル密度を向上してソース・ドレイン電極の抵抗を下げるとともに、ゲート抵抗を低減できるという利点がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるMOSFETの1セルの上面及び断面図。

【図2】本発明の第1の実施例によるMOSFETの4セル分の上面パターン図。

【図3】従来のMOSFETの上面及び断面図。

【図4】素子の構造パラメータを示した図。

【図5】従来構造と本発明による構造のチャネル密度を比較したグラフ。

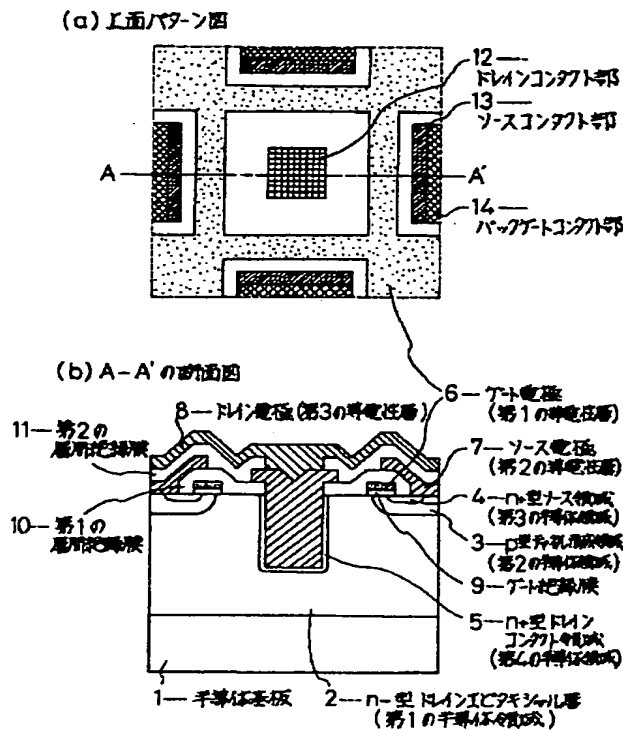
【図6】本発明の第2の実施例によるMOSFETの7セル分の上面パターン図。

【符号の説明】

- 1…半導体基板
- 2…ドレインn-型エピタキシャル層（第1の半導体領域）
- 3…p型チャネル形成領域（第2の半導体領域）
- 4…n+型ソース領域（第3の半導体領域）
- 5…n+型ドレインコンタクト領域（第4の半導体領域）
- 6…ゲート電極（第1の導電性層）
- 7…ソース電極（第2の導電性層）
- 8…ドレイン電極（第3の導電性層）
- 9…ゲート絶縁膜
- 10…第1の層間絶縁膜
- 11…第2の層間絶縁膜
- 12…ドレインコンタクト部
- 13…ソースコンタクト部
- 14…バックゲートコンタクト部

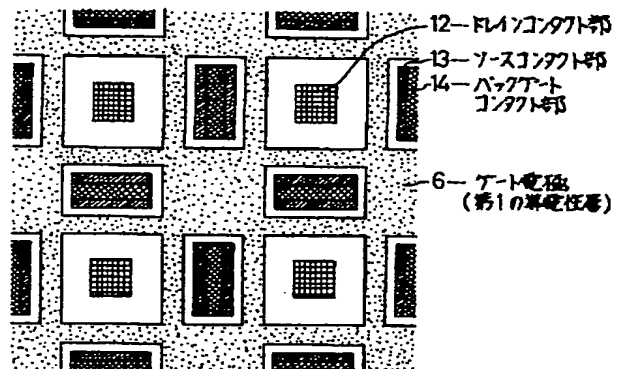
【図1】

本発明の第1の実施例によるMOSFETの1セルの上面及び断面図
(図1)



【図2】

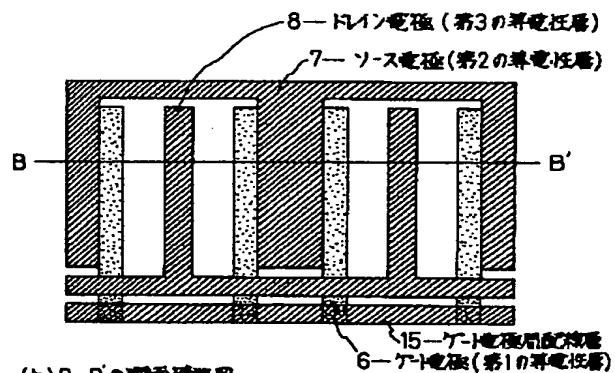
本発明の第1の実施例によるMOSFETの4セル分の上面パターン図
(図2)



【図3】

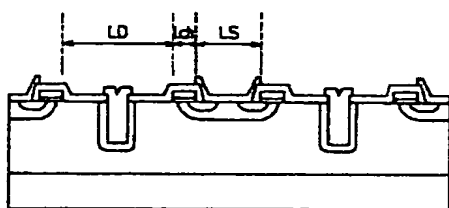
従来のMOSFETの上面及び断面図(図3)

(a) 上面パターン図



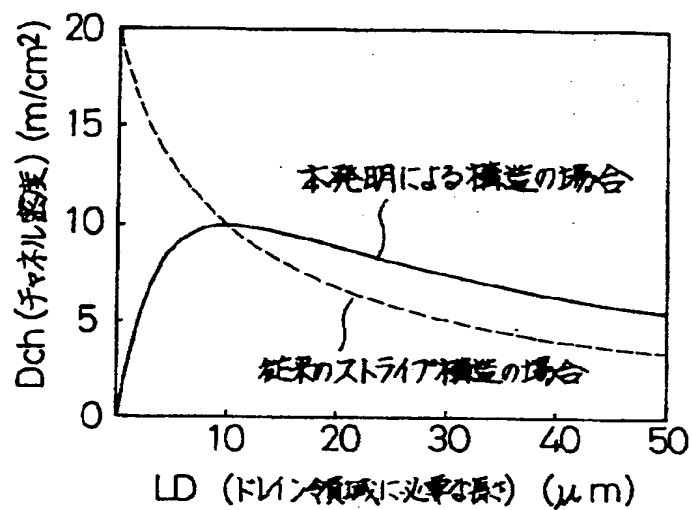
【図4】

素子の構造パラメータを示した図(図4)



【図5】

従来構造と本発明による構造のチャネル密度を比較したグラフ
(図5)



【図6】

本発明の第2の実施例による
MOSFETの7セル分の上面パターン図 (図6)

